

# 高速省電力ウェーブパイプライン用 評価テスト回路の開発

Exploitation of a Test Circuit for High Speed Power Conscious  
Waved Circuits

佐藤 友暁\*, 江川 隆輔\*\*, 深瀬 政秋\*\*\*, 中村 維男\*\*

## Abstract

The evaluation of wave-pipelined circuits is indispensable for further exploiting the speedup and power reduction of microprocessors. However, they are hard to measure by standard design method. Nor are general measurement equipments. We describe in this paper a test circuit of wave-pipelined circuits. The circuit designed at gate-level can be applied for both FPGA and standard cell implementation of waved circuits. According to the gate-level simulation of by using 0.35- $\mu$ m CMOS technology, the test circuit can be applied for a wave-pipelined adder operating at 400MHz.

## 1. はじめに

近年の携帯電話やPDA(Personal Digital Assistant)には著しい高性能化が見られる。しかし、さらなる高速で低消費電力で動作するVLSIプロセッサの要求が高まっている(三國, 2003)。この要求に応えることが可能であるVLSIプロセッサの設計手法の一つとして、レジスタを用いずにパイプライン動作が可能であるウェーブパイプライン手法があげられる。ウェーブパイプライン手法は、Maximum Rate Pipeline(Cotton, 1969)とも呼ばれるとおり、最大レートでパイプライン動作を行い(Klass, 1993)(Burlinson, 1998)(Fukase, 2001 a),

パイプラインレジスタを使用しないため、消費電力が従来のパイプライン手法と比較して減少する特徴を有する(Fukase, 2002)。

ウェーブパイプライン手法を用いたプロセッサの設計は、現在のところ商用レベルでは、Sun Microsystems社のUltra SPARC IIIに用いられているSRAMへの制御回路(Horel, 1999)等の構造が単純な回路に限定されている。研究レベルでは、加算器(Liu, 1994)、乗算器(Klass, 1994)、カウンタ(Wong, 1992)、DRAM(Yoo, 1995)といった単機能回路である。しかしウェーブパイプライン方式が主体であるプロセッサの本格的な実用化には至っていない(Fukase, 2001)(深瀬, 2001)。

我々はウェーブパイプライン方式プロセッサの本格的な実用化を目指して、多機能回路

\*SATO, Tomoaki 札幌学院大学社会情報学部

\*\*EGAWA, Ryusuke 東北大学大学院情報科学研究科

\*\*\*FUKASE, Masa-aki 弘前大学理工学部

\*\*NAKAMURA, Tadao 東北大学大学院情報科学研究科

であるスカラプロセッシングユニットに対しウェーブパイプライン化をおこなった (Sato, 2000) (Fukase, 2000) (Fukase, 2001 a). 0.5  $\mu$ m-CMOS テクノロジーを用いた CAD によるシミュレーションを行った結果, クロック 1 GHz と非常に高速に動作することを確認された. ウェーブパイプライン化回路は, CAD によるシミュレーションのみならず, 動作時の温度や電圧といった動作環境によって回路の遅延時間が変化することから, 実際に製作したチップを製作することで評価することが必要であるが, 測定器の性能やチップの入出力動作の速度による制限から性能評価が難しい場合もある.

本論文では, これらの問題を解決するために, ウェーブパイプライン化回路を評価するための回路を提案する. ウェーブパイプライン方式プロセッサの本格的な実用化を目的とすることから, 本論文で提案する回路は, ゲートレベルより上のレベルで設計されている. よって FPGA (Field Programmable Gate Array) においても実現が可能である.

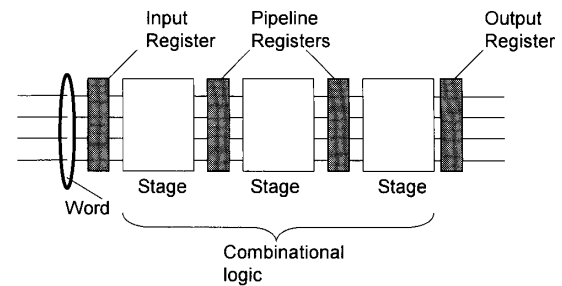
本論文の構成は次の通りである. 2 章では, ウェーブパイプライン方式の説明と評価対象とするウェーブパイプライン化加算回路について述べる. 3 章では, 提案する回路の構成とウェーブパイプライン化加算回路を評価する際に不可欠な高速なクロックへの変換方法を述べる. 4 章ではウェーブパイプライン化加算回路に対するテスト回路を評価し, 5 章はまとめである.

## 2. ウェーブパイプライン化回路

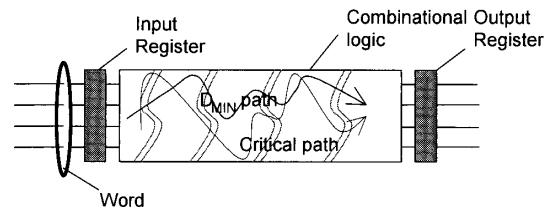
### 2.1 ウェーブパイプライン手法

クロック周波数の設定に応じたウェーブパ

イプライン化回路の設計法を説明するため, 従来方式と比較したウェーブパイプラインの同期方式を図 1 に示す. 組合せ回路の信号経路には遅延時間のばらつきがあるので, あるクロックで取り込まれる 1 組の信号の中で高速な信号は, 直前のクロックで取り込まれた遅い信号に追突する可能性がある. 図 1 (b) に示すウェーブパイプラインの組合せ回路では, 全ての信号経路の遅延時間をクリティカルパスの遅延時間に近づけることによりこの問題を解決している. 表 1 に, ウェーブパイプラインと従来のパイプラインの定性的な比較を示す. 設計に要する労力の評価は, ウェーブパイプライン特有の CAD ツールが充実していない現状から判断したものである.



(a)



(b)

(a)従来のパイプライン  
(b)ウェーブパイプライン

図 1 パイプラインの同期方式

表 1 ウェーブパイプラインと従来のパイプラインの現状比較

Pipeline	Clock	Area	Designing efforts
Wave-pipeline	Fast	Small	Cumbersome
Conventional pipeline	Moderate	Moderate	Moderate

図 1 (b)から分かるとおり，組合せ回路内に前後して放出される信号間の衝突の回避がウェーブパイプライン化の条件である．この条件下で信号の放出頻度，すなわち，クロック速度が上限の値をとる時に，ウェーブパイプラインの処理効率は最大となる．よって，クロック周期に関して

$$T_{CK} > (D_{MAX} - D_{MIN}) + T_{OV} \quad (1)$$

$$T_{OV} = T_S + T_H + 2\Delta_H \quad (2)$$

$$D_{MAX} = D_{max} - (T_H + T_S) \quad (3)$$

$$D_{MIN} = D_{min} - (T_H + T_S) \quad (4)$$

なる関係を得る (Burlson, 1998)．ここでは，

$T_{CK}$ ：クロック周期

$T_{OV}$ ：オーバーヘッド時間

$T_H, T_S$ ：図 1 (b)の入出力レジスタのセットアップ時間，ホールド時間

$\Delta_{CK}$ ：図 1 (b)の入出力レジスタ間のクロックスキュー

$D_{MAX}, D_{MIN}$ ：図 1 (b)の組合せ回路の最大，最小遅延時間

$D_{max}, D_{min}$ ：図 1 (b)の入出力レジスタ間の最大，最小遅延時間である．

## 2.2 ウェーブパイプライン化加算回路

評価の対象とするウェーブパイプライン化回路は，ワード幅 8 ビットの加算回路とした．ROHM の  $0.35 \mu\text{m}$  C-MOS テクノロジを用いて作成され，東京大学大規模集積システム設計教育研究センター (VDEC) 通じて提供されているスタンダードセルライブラリを使用して作成した．設計環境と開発ツールを表 2，表 3 に示す．

表 2 設計環境

Platform	Sun Ultra 10
MPU	Sun UltraSPARC-IIi 440 MHz
Main Memory	1024 Mbytes
Virtual Memory	1337 Mbytes

表 3 開発ツール

Tool name	Function	CAD vender
Design Compiler	Logic Synthesis (Version 2000.11-SP 1)	Synopsys
VSS Simulator	Logic Simulation (Version 2000.12)	Synopsys

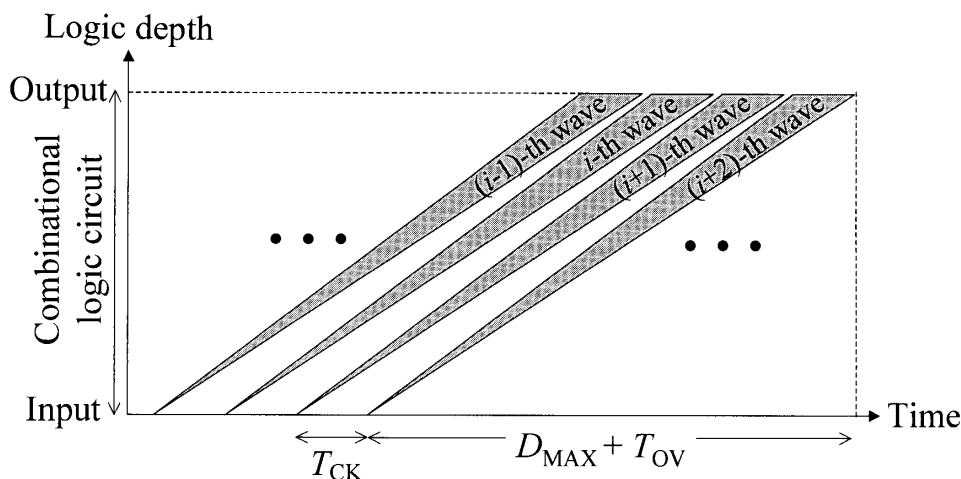


図 2 図 1 (b)に対するウェーブモデル

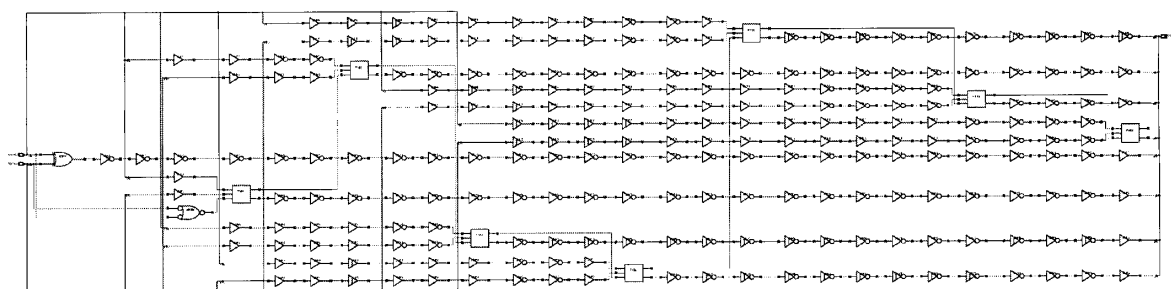


図3 ウェーブパイプライン化加算回路

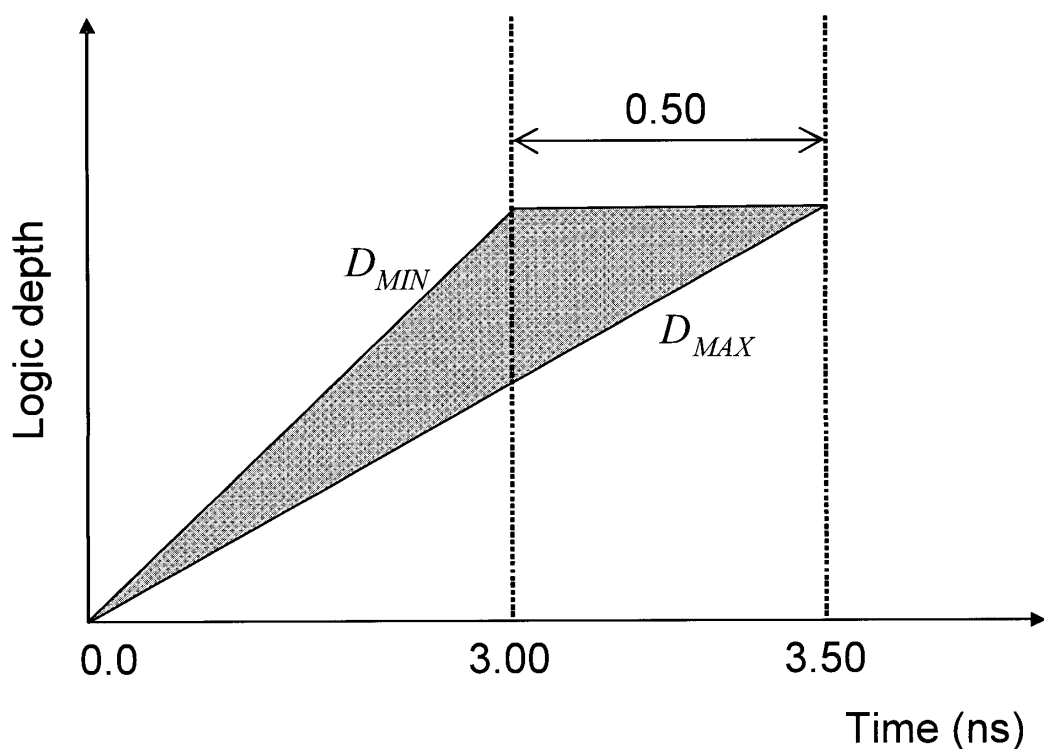


図4 ウェーブパイプライン化加算回路の遅延時間

図3に、ウェーブパイプライン化加算回路のゲートレベルの回路図を示す。ウェーブパイプライン化加算回路は、ワード幅8ビットのリプルキャリィ方式の加算回路をベースに、最小遅延時間を最大遅延時間に近づくように設計された。図3の回路の最大遅延時間と最小遅延時間の関係を図4に示す。

ここでは、入出力レジスタを使用していないため、図4の値を用いると、

$$T_S = T_H = 0 \quad (5)$$

$$D_{MAX} = D_{max} = 3.50 \text{ ns.} \quad (6)$$

$$D_{MIN} = D_{min} = 3.00 \text{ ns.} \quad (7)$$

が成り立ち、式(1)に式(6)、(7)を代入すると、

$$T_{CK} > 0.5 + T_{OV} \quad (8)$$

を得る。ここで、オーバーヘッド時間を、

$$T_{OV} < 0.5 \quad (9)$$

と想定し、式(8)、(9)から、

$$T_{CK} \geq 1.0 \text{ ns} = 1.0 \text{ GHz} \quad (10)$$

が得られる。式(10)で得られたクロックを用いて、ゲートレベルでシミュレーションを行った結果を図5に示す。

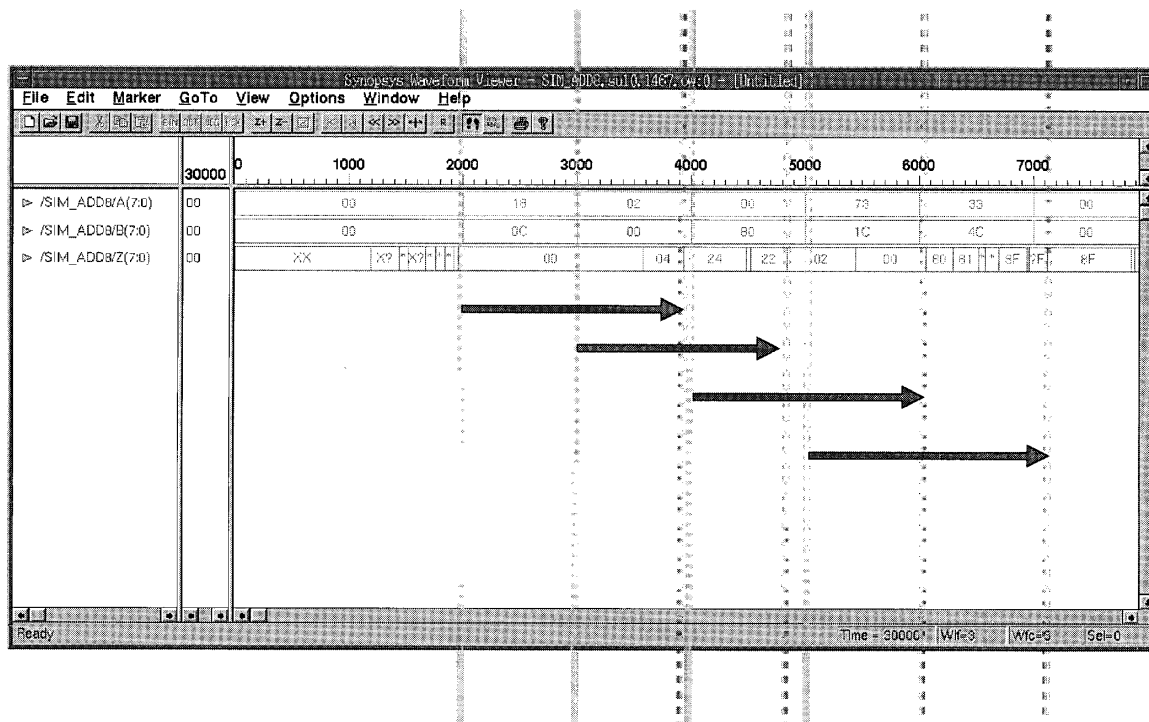


図5 ウェーブパイプライン化加算回路のゲートレベルシミュレーション (1 GHz 動作)

### 3. 提案回路

ウェーブパイプライン化をおこなうことで、我々が設計をおこなったウェーブパイプライン化加算回路は、シミュレーションによって1 GHzで動作することが示された。しかし、図4の結果を得たシミュレーションは、オーバーヘッド時間、 $T_{ov}$ を式(9)のように想定して行われたものである。また、式(6)、(7)の値は、実際には製造時のプロセス相違やプロセッサ動作時の温度によって変化する。このような理由から、ウェーブパイプライン手法によって設計された回路の有効性を示すには、実際にチップを測定することで評価する必要がある。

しかし、大学等に設置されている一般的なロジックアナライザや測定方法、また一般的なセルライブラリを使用したチップ設計では、以下の制限から測定が困難である。

- タイミングジェネレータが生成するタイミング周期
  - チップのI/Oバッファの動作速度
- そこで、我々はゲートレベルの設計によっ

て、ウェーブパイプライン化回路を評価することが可能な回路を提案する。ウェーブパイプライン化回路は、ウェーブパイプライン方式が主体であるプロセッサの研究を進める上では、フルカスタム設計だけでなく、スタンダードセル方式の設計手法に対応する必要がある。また、FPGAによる乗算回路(Boemo, 1998)やウェーブパイプライン手法によるFPGAを用いたシステムも提案されている(Sato, 2003)ため、FPGAにおいても適用できることが不可欠である。このような理由からゲートレベルより上のレベルで設計できる必要がある。

#### 3.1 構成

図6に、ウェーブパイプライン化回路のテスト回路の構成を示す。ウェーブパイプライン化回路を測定は、チップと測定装置間の信号の入出力は、クロックを低くし、チップの内部では高いクロックで動作させる必要がある。また、ウェーブパイプライン化回路の出力をトリガするタイミングは、動作環境に

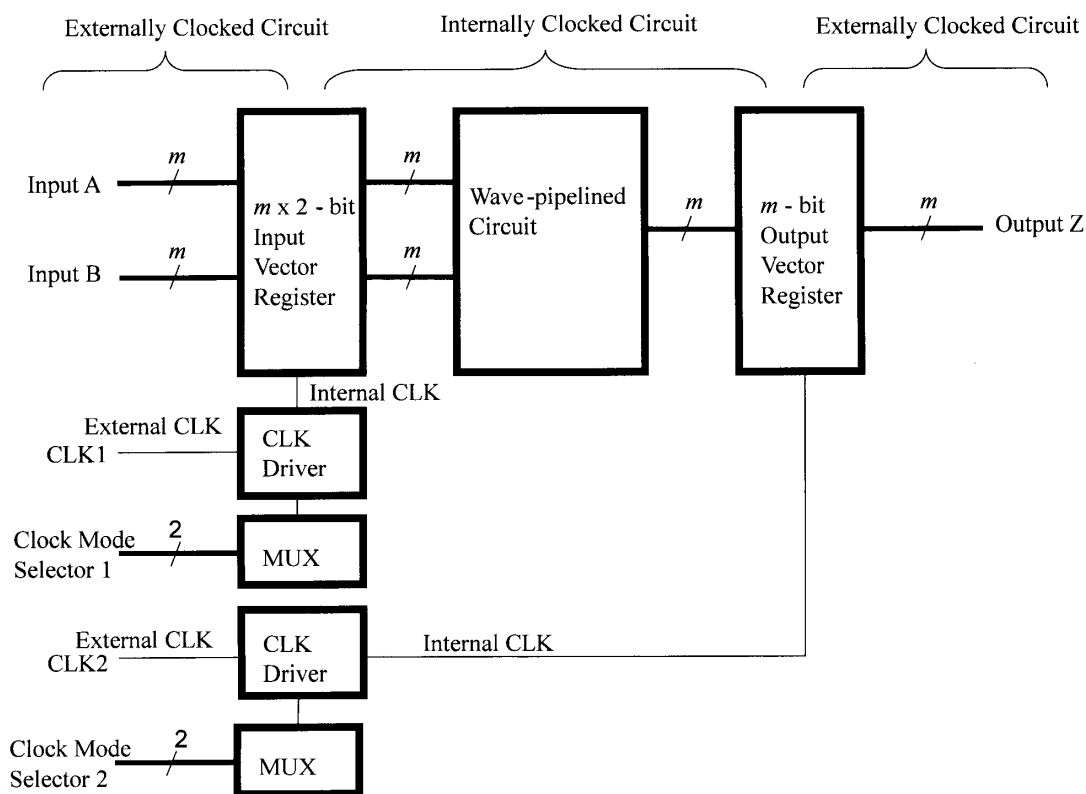


図6 ウェーブパイプライン化回路の評価回路構成

よって回路の遅延時間が変化するため、シミュレーションの値と実際に動作する値が異なる可能性があるため、2種類のクロックを用いている。

このテスト回路を用いたウェーブパイプライン化回路の動作確認は以下の手順で行う。

1. 低速なクロックを用いて、タイミングジェネレータ等が生成する信号をチップへ入力し、チップの入力側のレジスタファイルに計算の対象とするデータを格納する。
2. クロックの動作モードを変更し、クロックドライバによって生成された高速なクロックによって、入力側のレジスタに格納されているデータをウェーブパイプライン化回路で計算し、計算結果を出力側のレジスタへ格納する。
3. クロックの動作モードを切り替え、低速なクロックを用いて、出力側に格納され

た計算結果を、測定器を用いて観測する。

我々が設計したウェーブパイプライン化加算回路のテスト回路構成を図7に示す。図7の中央の add 8 ブロックは、図3のウェーブパイプライン化加算回路である。add 8 ブロックの両側に接続されているブロック ISR 8 は、ワード幅 8 ビット 17 段構成のシフトレジスタである。入力側に 2 つ、出力側に 1 つ使用されている。ISR 8 に接続されている kconv ブロックは、クロックドライバとマルチプレクサにて構成されている回路である。マルチプレクサの入力信号は 2 ビットあり、4 種類のクロックを選択できる構成になっている。ただし、今回設計した図7の回路は、入力したクロックをそのまま出力する回路と 100 MHz で入力したクロックを 4 倍に変換する回路のみ有する。

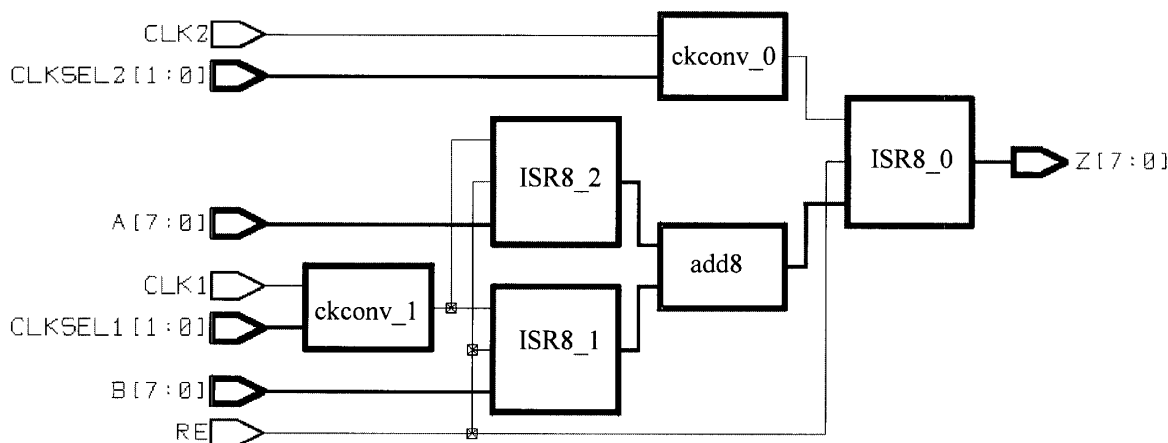


図7 ウェーブパイプライン化加算回路の評価回路構成

3.2 クロック

高速な周波数で動作するウェーブパイプライン化回路を評価する為に、測定装置から入力する低速なクロックをチップ内部で高速なクロックへ変換する必要がある。このような回路はトランジスタレベルで設計するのが一般的である。しかしトランジスタレベルでの設計は、スタンダードセル方式による設計や、FPGA への適用は不可能である。我々はウェーブパイプライン手法において遅延時間調整に用いられるバッファ挿入法とフリップフロップで実現されているエッジトリガ方式で信号を取り組む方法 (Tanenbaum, 1998) を組み合わせることで、低速なクロックを高速なクロックへ変換する回路を設計している。

図8は、入力されたクロックを4倍の速さで動作するクロックへ変換する回路である。バッファを用いることで時間的にずれた信号を4種類用意し、これらをEX-ORの性質と

2つのEX-ORから出力された信号をまとめるORゲートに信号を通すことで4倍の速さに変換することができる。入力するクロックにあわせて、バッファ数を調整する。

図9は、100 MHz 入力 400 MHz 出力で動作するクロックドライバに対しゲートレベルシミュレーションを行った結果を示したものである。図9において使用されている時間の単位はpsである。クロックスキューは、最大±342.0 ps 以内で収まっていることを示す。

4. テスト回路の評価

我々が提案する図7の回路を用いたウェーブパイプライン化加算回路のゲートレベルシミュレーションによる結果を図10に示す。タイミングジェネレータからはクロック100 MHzに対応するクロックが生成されるという条件のもとでシミュレーションを行った。シミュレーション手順は以下の通りである。

- リセット信号に、1を入力し回路のレ

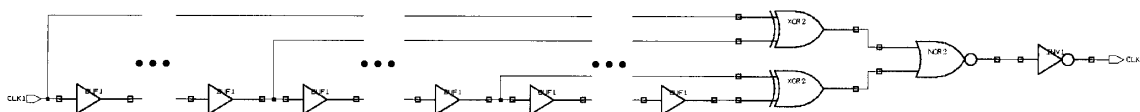


図8 クロックドライバ

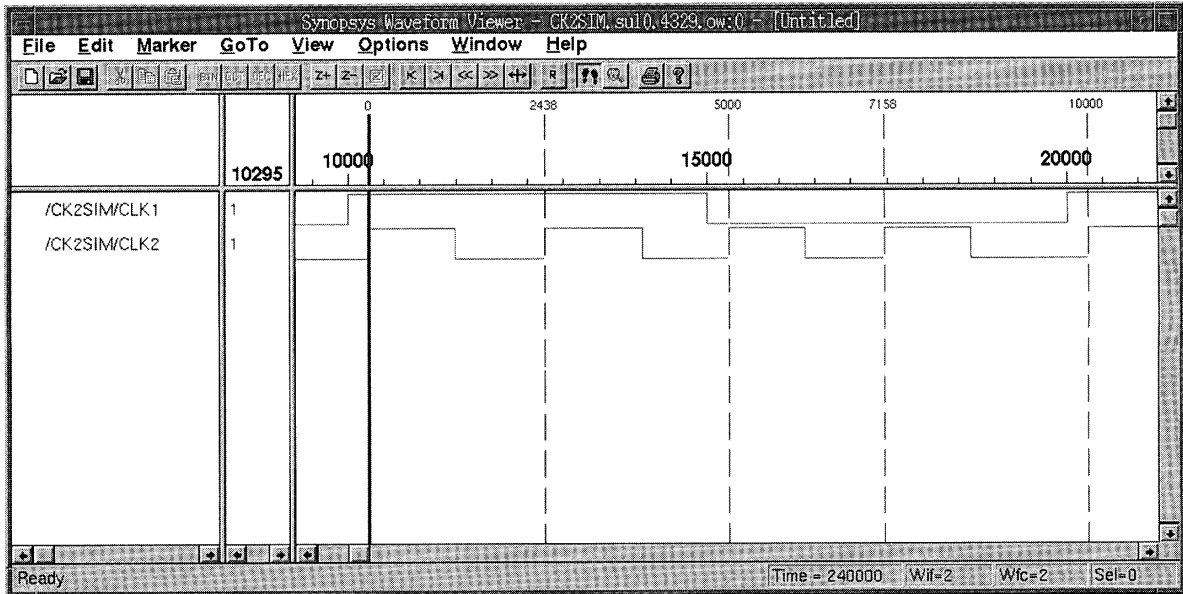


図9 クロックドライバのゲートレベルシミュレーション

- ジスタをリセットする。
- クロックモードを 11 (3) に設定し、100 MHz のクロックを用いてウェーブパイプライン化加算回路に計算させたい値を入力する。
- クロックモードを 00 (0) に設定し、400 MHz に変換されたクロックを用いて回路全体を動作させる。
- クロックモードを 11 (3) に設定し、100 MHz のクロックを用いてシフトレジスタに格納された値を観測する。
- クロック CLK 2 はクロック CLK 1 に対

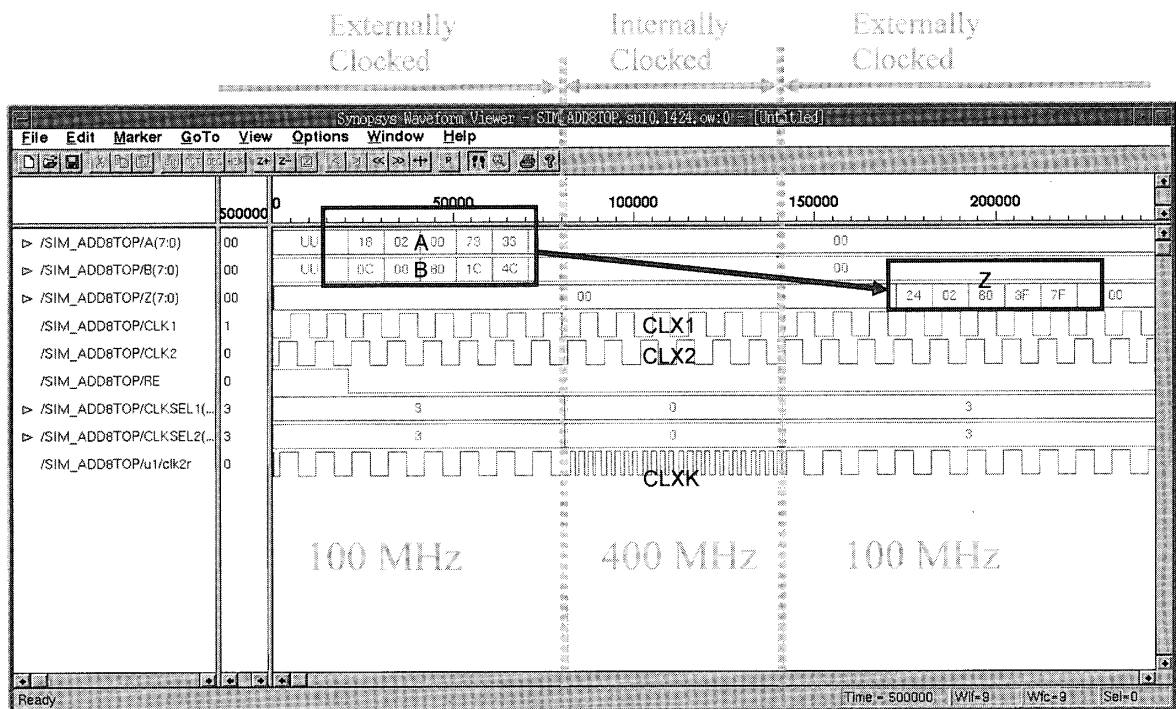


図10 評価回路のゲートレベルシミュレーション



し、位相が3/4ずれている。これは、何通りか位相をずらしたシミュレーションを行い、正常なシミュレーション結果の得られる位相差として決定された。ウェーブパイプライン化回路のシミュレーションは100 MHzから400 MHzへ変換された高速なクロックを用いる。4倍の400 MHzとした理由は以下の通りである。

- 回路の構成上、偶数倍である必要性
- ここで作成したシフトレジスタは、833 MHzより高速なクロックでは動作しない
- クロックスキューの影響

ゲートレベルシミュレーションの結果、図10が示すとおり入力A、Bから入力された値は、正しく計算され出力Zに出力されている。よって、ウェーブパイプライン化加算回路は400 MHzで正常動作することを確認することが可能である。クロックCLKXは、CLK2の内部クロックの動作結果を表している。

## 5. おわりに

本論文では、ウェーブパイプライン化回路のテスト回路を提案した。ウェーブパイプライン化加算回路を用いたテスト回路は、ゲートレベルシミュレーションによって400 MHzで動作することが示された。テスト回路はゲートレベルで設計されているため、スタンダードセル方式によるVLSIの設計やFPGAによる回路に応用することが可能である。

今後、本評価テスト回路は実際にチップ化し測定器によって評価を行うことと、FPGAにおけるウェーブパイプライン化回路の評価に用いる。

## 謝辞

査読者には有益なコメントを頂いたことを記して感謝する。本研究の一部は、札幌学院

大学研究促進奨励金 (SGUS 0220100714) によって行われたものである。

## 参考文献

- Cotton, L. (1969) Maximum rate pipelined systems, *Proc. AFIPS Spring Joint Comput. Conf.*
- Wong, D. et al. (1992) A bipolar population counter using wave pipelining to achieve 2.5 x normal clock frequency, *IEEE J. Solid-State Circuits*
- Klass, F. and Flynn, M. J. (1993) COMPARATIVE STUDIES OF PIPELINED CIRCUITS, *Stanford University Technical Report*, No. CSL-TR-93-579
- Liu, W. et al. (1994) A 250-MHz wave pipelined adder in 2-um CMOS, *IEEE J. Solid-State Circuits*, vol.29, no.9, 1117-1128
- Klass, F. et al. (1994) Fast multiplication in VLSI using wave-pipelining, *J. VLSI Signal Processing*
- Yoo, H. et al. (1995) A 150-MHz 8-banks 256 m synchronous DRAM with wave pipelining methods, *Proc. ISSCC'95*. 250-251
- Nowka, K. J. (1996) High-Performance CMOS System Design Using Wave Pipelining, *Technical Report CSL-TR-96-693, Stanford University*
- Boemo, E. I. L'opez-Buedo, S. and Meneses, J. M. (1998) Some Experiments About Wave Pipelining on FPGA's, *IEEE Trans. on Very Large Scale Integration (VLSI) Systems*, VOL.6, NO.2, 232-237
- Burleson, W. P., Ciesielski, M., Klass, F., and Liu, W. (1998) Wave-Pipelining: A Tutorial and Research Survey, *ibid*◇, Vol.6, No.3, 464-474

- Tanenbaum, A. S. (1998) *Structured Computer Organization*; Prentice Hall
- Horel, T. and Lauterbach, G. (1999) UltraSPARC III: Designing Third-Generation 64-Bit Performance, *IEEE MICRO*, Vol.19, No.3. 73-85
- Sato, T., Fukase, M., and Nakamura, T. (2000) Performance analysis of a wave-pipelined ALU, *Technical Report of IEICE, CPSY 2000*, Vol.100, No.20, 1-6
- Fukase, M. Sato, T. Egawa, R. and Nakamura, T. (2001) Designing a Wave-Pipelined Vector Processor, *Proc. of The Tenth Workshop on Synthesis and System Integration of Mixed Technologies*. 351-356
- Fukase, M., Sato, T., Egawa, R., and Nakamura, T. (2001 a) Scaling up of Wave Pipelines, *Proc. of The Fourteenth International Conference on VLSI Design*, 439-445
- 深瀬政秋・江川隆輔・佐藤友暁・伊東俊輔・中村維男 (2001)「ウェーブパイプラインと従来方式パイプラインの性能評価」,『信学技報』Vol.101, No.386 (DSP 2001-110, ICD 2001-115, IE 2001-94), 1-8
- Fukase, M. Sato, T. Egawa, R. and Nakamura, T. (2002) A Wave-Pipelined Biprocessor Achieving Remarkable Compatibility between Low Power and High Speed, *Proc. of 10th NASA Symposium on VLSI Design*, 8.3.1-8.3.8
- Ampadu, P. and Kornegay, K. T. (2002) A Compact Low-Energy Pass-Transistor Circuit Technique for Deep Submicron CMOS, *ibid.*, 4.3.1-4.3.8
- 三国勝志・中村吉樹・今井礼大・深瀬政秋・佐藤友暁 (2003)「モバイルコンピューティング用マルチメディアプロセッサの実装」,『情報科学技術フォーラム講演論文集』, 361-362
- Sato, T and Fukase, M. (2003) Reconfigurable Hardware Implementation of Host-Based IDS, *Proc. of The 9th Asia-Pacific Conference on Communications*, Vol.2, 849-853

2004年1月29日受付

2004年2月26日受理